

Requested Patent: JP56062351

Title: SEMICONDUCTOR DEVICE FOR MEMORY

Abstracted Patent: JP56062351

Publication Date: 1981-05-28

Inventor(s): SANO YUJI; others: 01

Applicant(s): HITACHI LTD

Application Number: JP19790137623 19791026

Priority Number(s):

IPC Classification: H01L25/04 ; H01L23/28

Equivalents:

ABSTRACT:

PURPOSE: To increase the memory capacity along with a compacter size by bonding a plurality of a semiconductor pellets for memory in paralle with a lead frame empolying a tape carrier.

CONSTITUTION: Projected electrodes 12 and 13 are formed on semiconductor pellets 10 and 11. Copper foils 14 and 15 provided on a tape carrier are fastened on electrodes 12 and 13 with the free end of the copper foils connected to the lead frame 16. The pellets 10 and 11 are solidly molded with a resin as a single package. This molding can reduce a space between the upper and lower pellets thereby making the device compact.

⑪ 公開特許公報 (A)

昭56-62351

⑤ Int. Cl.³
H 01 L 25/04
23/28

識別記号

厅内整理番号
7638-5F
7738-5F

⑩ 公開 昭和56年(1981)5月28日

発明の数 1
審査請求 未請求

(全 3 頁)

④ メモリ用半導体装置

② 特 願 昭54-137623

② 出 願 昭54(1979)10月26日

② 発明者 佐野雄治

小平市上水本町1450番地株式会
社日立製作所武藏工場内

② 発明者 村上元

小平市上水本町1450番地株式会
社日立製作所武藏工場内② 出願人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

② 代理人 弁理士 薄田利幸

明細書

発明の名称 メモリ用半導体装置

特許請求の範囲

1. 複数個のメモリ用半導体ペレットを上下方向に配置すると共に、これら各ペレットをテープマトリア用いて单一のリードフレームに並列状態にメンディングし、更に一体的にモールドしてパッケージを形成したことを特徴とするメモリ用半導体装置。

2. 各半導体ペレットを同一方向に向けてメンディングしてなる特許請求の範囲第1項記載のメモリ用半導体装置。

3. 各半導体ペレットを背反する方向に向けてメンディングしてなる特許請求の範囲第1項記載のメモリ用半導体装置。

4. 各半導体ペレットを互に接觸してなる特許請求の範囲第1項記載のメモリ用半導体装置。

発明の詳細な説明

本発明はメモリ用半導体装置に關し、特に大容量のメモリ用半導体装置に関するものである。

従来のメモリ用半導体装置では、そのメモリ容量はパッケージ内の半導体ペレットによって決定されるため、メモリ容量を増大するためには半導体ペレット自体を変更しなければならない。このため、半導体装置としては個々の容量の半導体ペレットを設計、製造しておく必要があるが、需要が少ない場合には半導体ペレットの単価が高くなり、実用的ではない。

このため、従来ではメモリ容量の小さい半導体装置を複数個用いてメモリ容量の大きな一つの半導体装置を構成するようにした所謂ピヤーバック法 (PIGGY BACK) が提案され、実用化されている。このピヤーバック法は、図1に示すように、既に所定のメモリ容量 (例えば16Kビット) として形成された半導体ペレット1, 2を天々パッケージした複数個 (3個) のメモリ用半導体装置3, 4, 5を、上下方向に並ねた上で各々のリードフレーム6, 7の相対するリードを天々半田或いはスポット接続等によって接続し、これを一つのメモリ用半導体装置として構成する方法である。

この方法によれば、構成された半導体装置は最高、
された各半導体装置の総和のメモリ容量となり、¹⁹⁸⁵
例えば前述のように 10 K ピットのものを 3 個複
数した場合には 30 K ピットの容量となり、極め
て簡単に大きなメモリ容量の半導体装置を得るこ
とができる。

しかしながら、このように構成された半導体裝
置では、例えば第 1 図に示したように 3 個の半導
体装置を、それを重ねたものでは、高さ h への実装
に要する高さ寸法 h は单一の装置の 3 倍の寸法
となっているために実装占有スペースが大となり、
小型化の障壁になるという問題がある。また、こ
のよう半導体装置を重ねると、比較的に表面積
の大きなパッケージの上下面が相互に接触してし
まうためにパッケージの放熱効果が低下され、機
器の信頼性の低下を招くという問題も生じている。

したがって本発明の目的は、メモリ容量の増大
を図ると共に構成のコンパクト化を達成し、かつ
放熱性を向上してその信頼性を高めることができる
メモリ用半導体装置を提供することにある。

特開昭56- 62351(2)

この目的を達成するために本発明は、個別個の
メモリ用半導体ペレットを上下方向に配置すると
共に、これら各ペレットをテープキャリア用いて
单一のリードフレームに並列状態にマンディング
し、更に一体的にモールドしてパッケージを構
成したことを特徴とするものである。

以下、本発明を図面に示す実施例に基づいて説
明する。

第 1 図は本発明の一実施例を示しており、所定
のメモリ容量を有する電子として構成した 3 個の
半導体ペレット 10 と 11 は、実装電極 12, 13
を有するペレットとして構成し、この実装電極
12, 13 には例えば従来から使用されているテ
ープキャリアに受けられている端子 14, 15 の
一端をフェースマンディングしている。そして、
前記各ペレット 10, 11 を同一方向に向けた上
下に配置すると共に、天々に接続した端子
14, 15 の端端をリードフレーム 16 のインナ
リード 17 の上下面に天々接続している。前記
リードフレーム 16 はペレット端着用のタブを有

(a)

(b)

しておらず、各ペレット 10, 11 は端子 14,
15 の両端によって実吊り状態でリードフレーム
16 に支持する。また、各ペレット 10, 11 に
接続した端子 14, 15 は、ペレット 10, 11
の天々対応する端子に接続したものが同一のイン
ナーリード 17 に接続することは言うまでもない。
しかる様に、以上の構成のペレット 10, 11 等
は例えばトランスマッセルド法によってレジン
18 にて一体的にモールドし、これを单一のパ
ッケージとして構成するのである。

以上の構成によれば、ペレット 10, 11 は端
子 14, 15 及びリードフレーム 16 を通して並
列的に接続しているのでビヤーパック法により接
続されていることになり、機器全体としては各ペ
レット 10, 11 の各メモリ容量の和に相当する
容量のメモリ量となり、メモリ量の増大を達成で
きる。これに加えて、ペレット 10, 11 を一体
的にモールドしているので、第 1 図の従来例に比
較して両ペレットの上下間隔寸法を小さくでき、
これにより機器の高さ寸法 h を小さくして実装

に要する占有スペースを低減することができる。
更に、この構成では下側のペレット 11 に生ずる
熱は一体化したレジンモールドを通して上側のペ
レット 10 の熱と同様にパッケージの上面から効
率よく放散できるので、放熱効果を大きくでき、
これによりペレット 10, 11 の過熱を防止し、
機器の信頼性を高めることができる。

なお、この構成ではテープキャリアを使用して
ペレットのマンディングを行なっているので、機
器の自動組立を容易に行なうことができ、作成工
数の低減を図ることもできる。

第 2 図は他の実施例を示しており、図中第 2 図
に相当する部分には同一符号を付している。この
実施例で特徴とする点は、両ペレット 10, 11
を互に背反する方向に向けた上で、天々を端子
14, 15 によりリードフレーム 16 にマンディ
ングした点にある。この場合、両ペレット 10,
11 に隙間を与えるために両ペレットを遮断部
19 を介して接続すればよい。

本実施例では、前例と同様の効果に加えて、両

(c)

(d)

第3図は本発明のメモリ用半導体装置の断面図、
第8図は他の実施例の断面図である。

10, 11, 11'…ベレット, 13, 13'…突出電極、14, 14'…鋼橋、16…リードフレーム、18…レジンモールド。

代理人弁理士 鹿田 利幸

ベレット10, 11'間に上下間隔を設ける必要がないから、装置の高さ寸法、更に低減できるという効果がある。但し、本実施例ではベレット11'に形成されているメモリ回路が、ベレットを裏向きにしてもその接続が変わることがないようだ。例えば左右対称の回路構成のベレットにのみ有効である。

ここで、本実施例ではベレットを3個使用したものについて述べたが、場合によっては3個以上のベレットにて構成することも可能である。

以上説明したように本発明のメモリ用半導体装置によれば、既存のベレットを使用して大容量のメモリ用半導体装置を構成できるのはもとより、その高さ寸法の低減を図って実装占有スペースを小さくすると共に、その放熱性を向上して装置の信頼性を高めることができしかも組立の自動化及び作業工数の低減を図ることができると等の大なる効果を有するのである。

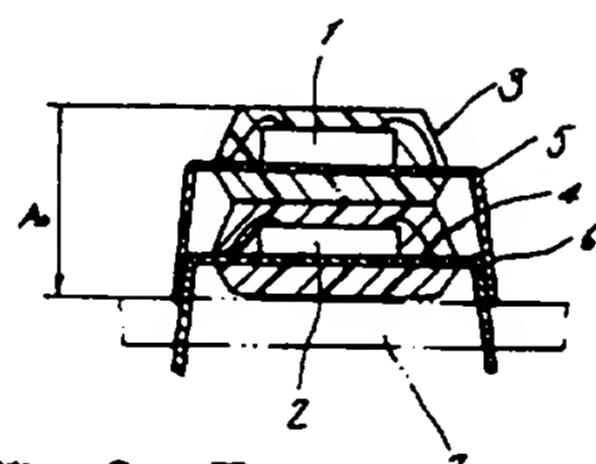
図面の簡単な説明

第1図は従来のメモリ用半導体装置の断面図。

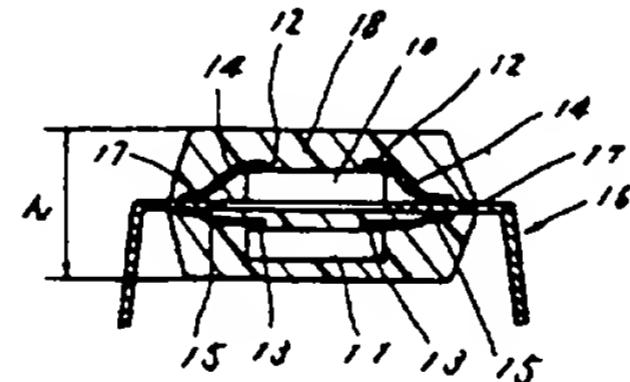
(A)

(B)

第 1 図



第 2 図



第 3 図

